

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-106323

(43)Date of publication of application : 21.04.1995

(51)Int.Cl.

H01L 21/316

H01L 21/283

(21)Application number : 05-249642

(71)Applicant : NEC CORP

(22)Date of filing : 06.10.1993

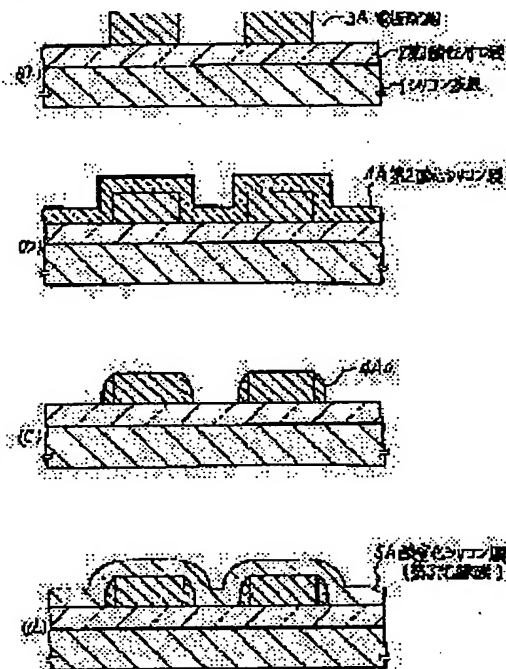
(72)Inventor : MIKAGI IKU

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

## (57)Abstract:

**PURPOSE:** To improve stress migration withstand of electrode wiring, by forming a second insulating film which covers the side surface of the electrode wiring and has compression stress, and a third insulating film which covers the surface of the electrode wiring and has tensile stress.

**CONSTITUTION:** A first silicon oxide film 2 (first insulating film) forms either field oxide film or an interlayer insulating film which are formed by a thermal oxidizing method. A second silicon oxide film 4A having compression stress is formed on electrode wiring 3A and the first silicon oxide film 2. By etching back the second silicon oxide film 4A, it is left on only the electrode wiring side wall part, and a spacer 4Aa having a forward taper shape is formed. A silicon oxynitride film 5A as a third insulating film which has tensile stress is formed. Generation of stress migration can be restrained by the mutual buffering action of the compression stress of the insulating spacer 4Aa and the tensile stress of the silicon oxynitride film 5A.



## LEGAL STATUS

[Date of request for examination]

25.03.1994

[Date of sending the examiner's decision of rejection]

04.03.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平7-106323

(43)公開日 平成7年(1995)4月21日

(51)Int.Cl.<sup>6</sup>

識別記号

FI

H01L 21/316

X 7352-4M

21/283

C 7376-4M

審査請求 有 請求項の数 3 O L (全5頁)

(21)出願番号 特願平5-249642

(22)出願日 平成5年(1993)10月6日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 三ヶ木 郁

東京都港区芝五丁目7番1号 日本電気株式会社内

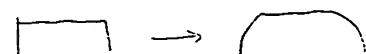
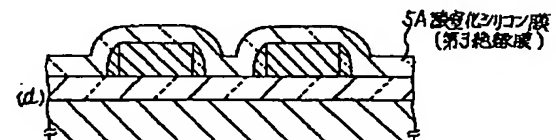
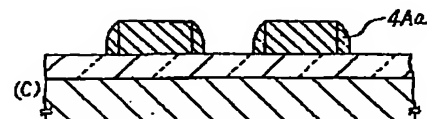
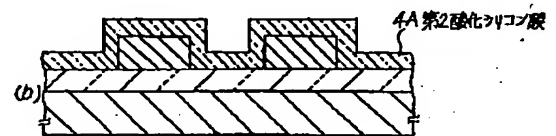
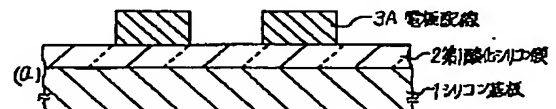
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】半導体装置とその製造方法

(57)【要約】

【目的】電極配線のストレスマイグレーション耐性を改善する。

【構成】半導体基板(1)上に設けられた第1の絶縁膜(2)と第1絶縁膜(2)上に設けられた電極配線3Aの側部に圧縮応力を有する第2絶縁膜(4Aa)とその上層に引張応力を有する第3絶縁膜(5A)を設ける半導体装置。



## 【特許請求の範囲】

【請求項1】 半導体基板上の所定の第1絶縁膜を選択的に被覆する電極配線と、前記電極配線の側面を被覆し圧縮応力を有する第2絶縁膜と、前記電極配線の表面及び前記第2絶縁膜を被覆する引張応力を有する第3絶縁膜とを有することを特徴とする半導体装置。

【請求項2】 電極配線がアルミニウム、金または銅もしくはその合金からなる単層もしくは複層の導電膜を含む請求項1記載の半導体装置。

【請求項3】 半導体基板上の所定の第1絶縁膜を選択的に被覆する電極配線を形成する工程と、圧縮応力を有する第2絶縁膜を被着した後少なくとも前記電極配線の側面部を除く表面を露出させる工程と、全面に引張応力を有する第3絶縁膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置とその製造方法に関し、特に微細な電極配線を有する半導体装置とその製造方法に関する。

【0002】

【従来の技術】従来の半導体装置は特開昭63-164344号公報に示すような構造が知られている。図2(a)～(d)は、この従来の半導体装置についてその製造工程に沿って説明するための工程順断面図である。

【0003】まず図2(a)に示すようにシリコン基板1上に第1酸化シリコン膜2を形成した後、電極配線3Bを形成する。

【0004】続いて図2(b)に示すように圧縮応力を有する第2酸化シリコン膜4BをプラズマCVD法あるいはスパッタ法により電極配線を被覆するように形成し、その上にフォトリソ膜6を塗布法により形成する。

【0005】さらに図2(c)に示すように電極配線上部のフォトリソ膜および第2酸化シリコン膜を反応性イオンエッチング法により除去する。こうして電極配線3B間を埋めるスペーサ4Baを形成する。

【0006】つぎにこの工程で除去されずに残ったフォトリソ膜を除去する。さらに図2(d)に示すように、引張応力を有する第3酸化シリコン膜5BをプラズマCVD法、低圧CVD法あるいは常圧CVD法により形成する。

【0007】上述の発明の他にも特開平3-167828号公報で述べられているものがある。この従来技術についてシリコンゲートMOSメモリの絶縁保護膜に適用した場合を例として説明する。まず図3(a)に示すようにシリコン基板1に形成された拡散層7とシリコンや銅を1%程度含有したアルミニウム系合金膜からなる電極配線3Cがフィールド酸化膜8や第1酸化シリコン膜2に開口したコンタクトホール9を介して接合される構

造を形成する。さらに枚葉式CVD装置により370～380℃、10 Torr以下の圧力でTEOS(Si(O, H, O), )とO<sub>2</sub>をプラズマ反応させて約500nm厚の第2酸化シリコン膜を形成し、450℃の5%H<sub>2</sub>のAr雰囲気中で20～30分の熱処理を施す。次にC<sub>2</sub>F<sub>4</sub>とCHF<sub>3</sub>を含む混合ガスを用いた反応性ドライエッチングによりエッチバックして第2酸化シリコン膜のスペーサ4Caを形成する。

【0008】続いて図3(b)に示すようにSiH<sub>4</sub>、O<sub>2</sub>、PH<sub>3</sub>を反応させて1層目の保護膜となるPSG膜5Cを500nmの厚みで成長する。

【0009】続いて図3(c)に示すようにSiH<sub>4</sub>、NH<sub>3</sub>、N<sub>2</sub>を含むガスを用い、370℃、5 Torrの条件で平行平板式プラズマCVD装置により厚さ約600nmの2層目の保護膜となる窒化シリコン膜10を形成し、さらにフォトリソを用いたドライエッチング法により外部電極取り出し用ボンディングパッド11を形成する。

【0010】

20 【発明が解決しようとする課題】特開昭63-164344号公報に開示された発明の場合、電極配線間を埋めるスペーサ4BaをCVD法とエッチバック法により形成しているが、この手法はCVD膜のオーバーハング形状が影響を及ぼさない幅広い配線スペースに対してのみ有効な手法である。ストレスマイグレーションによる断線発生の可能性が高く、その防止策が特に必要となる微細な配線スペースに適用した場合、CVD膜のオーバーハング形状化によりCVD膜形成時にCVD膜中ボイドが形成される。このCVD膜中のボイドの存在はスペーサの本来の機能であるストレスマイグレーション発生原因となる応力の緩和作用を低下させるため微細な配線パターンへの適用は難しい。

【0011】特開平3-167828号公報に開示された発明の場合、電極配線側壁に有機シラン(TEOS)をソースとしたプラズマCVD法により酸化シリコン膜を形成し、異方性エッチバックによりスペーサ化し、その上層に酸化シリコン膜と窒化シリコン膜を形成するものであるが、この窒化シリコン膜は比誘電率が酸化シリコン膜と比較して高い(成膜方法にもよるが酸化シリコン膜の比誘電率はおよそ3.6～5、窒化シリコン膜では約8)ため、層間容量の増大を招き、半導体装置の動作速度を低下させる。

【0012】

【課題を解決するための手段】本発明の半導体装置は、半導体基板上の所定の第1絶縁膜を選択的に被覆する電極配線と、前記電極配線の側面を被覆し圧縮応力を有する第2絶縁膜と、前記電極配線の表面及び前記第2絶縁膜を被覆する引張応力を有する第3絶縁膜とを有するというものである。

50 【0013】また、本発明の半導体装置の製造方法は、

半導体基板上の所定の第1絶縁膜を選択的に被覆する電極配線を形成する工程と、圧縮応力を有する第2絶縁膜を被着した後少なくとも前記電極配線の側面部を除く表面を露出させる工程と、全面に引張応力を有する第3絶縁膜を形成する工程とを有するというものである。

【0014】

【実施例】次に、本発明の実施例について説明する。

【0015】図1(a)～(d)は本発明の第1の実施例について説明するための工程順断面図である。

【0016】まず、図1(a)に示すように、シリコン基板1に図示しないMOSトランジスタ等の素子を形成する。第1酸化シリコン膜2(第1絶縁膜)は熱酸化法で形成したフィールド酸化膜や層間絶縁膜のいずれかを代表して示すものである。ここでは例えばSiH<sub>4</sub>とN<sub>2</sub>Oを用いたプラズマCVD法により厚さ約500nmの厚みで形成する。続いてタングステンにチタンが10wt%添加された厚さ100～200nmのチタン-タングステン膜と500～1000nmのアルミニウム膜をスパッタ法により形成し、既知の手法であるリソグラフィ技術とドライエッチング技術を用いてパターンニングしてチタン-タングステン膜とアルミニウム膜より構成される幅600nmの電極配線3Aを形成する。チタン-タングステン膜はアルミニウムの能動領域への拡散防止やアルミニウムのエレクトロマイグレーションやストレスマイグレーションの発生を抑制する事を目的として設ける。アルミニウム膜は電極配線の主導電層となるもので、アルミニウムに限らず他に金や銅またはこれらの合金等の低い電気抵抗を有するものを用いてもよい。

【0017】さらに図1(b)に示すように、電極配線3Aおよび第1酸化シリコン膜上に、異なる発振周波数を有する複数のRF電源とSiH<sub>4</sub>、N<sub>2</sub>O、N<sub>2</sub>ガスを用いたプラズマCVD法により第2絶縁膜である5～10×10<sup>1</sup> dyne/cm<sup>1</sup>の圧縮応力を有する第2酸化シリコン膜4Aを例えば100nmの厚みで形成する。この厚さは、電極配線間のスペースの半分を越えないように設定する。この第2酸化シリコン膜を形成する際、高周波RF電源と低周波RF電源の2つのRF電源の出力比を変化させる事により形成される膜の応力を引張から圧縮まで変化させる事が可能である。例えば13.56MHzの高周波RF電源と200～500kHzの低周波RF電源の出力比を3:1～4:1とした場合、SiH<sub>4</sub>ガスとN<sub>2</sub>Oガスの流量比が1:0.5～1:1.5の条件で上述の値の応力を有する酸化シリコン膜が形成できる。

【0018】さらに図1(c)に示すように、CF<sub>4</sub>、C<sub>2</sub>F<sub>4</sub>、CHF<sub>3</sub>等のフッ素系ガスを用いた異方性エッチバック法により第2酸化シリコン膜4Aをエッチバックして電極配線側壁部のみに残すことにより順テーパ形状を有するスペーサ4Aaを形成する。さらに図1

(d)に示すように異なる発振周波数を有する複数のR

F電源とSiH<sub>4</sub>、N<sub>2</sub>O、NH<sub>3</sub>ガスを用いたプラズマCVD法より第3絶縁膜である0.5～2×10<sup>1</sup> dyne/cm<sup>1</sup>の引張応力を有する酸化シリコン膜5Aを500～1000nmの厚みで形成する。この際には13.56MHzの高周波RF電源と200～500kHzの低周波RF電源の出力比を1～2:1、SiH<sub>4</sub>ガスとN<sub>2</sub>OガスとNH<sub>3</sub>ガスの流量比が1:0.5～1.5:0.5～1.5の条件で上述の値の応力を有する酸化シリコン膜が形成できる。この酸化シリコン膜を形成する際、電極配線は側壁のスペーサ4Aaにより全体として順テーパ形状となっているために微細な配線スペースでもボイドを生じにくく、微細な半導体装置への適用も容易である。

【0019】上述の手法により形成された半導体装置は電極配線側壁部の絶縁膜スペーサの圧縮応力とその上層に形成されている酸化シリコン膜の引張応力の相互緩衝作用によりストレスマイグレーション発生を抑制できる。また酸化シリコン膜は窒化シリコン膜と同等のバッシュペーション性を有し、窒化シリコン膜よりも低比誘電率である。そのために層間容量低減による半導体装置の特性改善がはかれ、かつバッシュペーション性が変わらないため半導体装置の長期信頼性も低下しない。本発明の半導体装置は、MOS、バイポーラ等の半導体装置の種類を選ばず適用する事ができる。

【0020】続いて本発明の第2の実施例について説明する。

【0021】この実施例は第2酸化シリコン膜の形成方法が第1の実施例と相違しているが他は同じである。

【0022】すなわち、第1酸化シリコン膜上に電極配線を形成した後異なる発振周波数を有する複数のRF電源とTEOS〔Si(O<sub>2</sub>H<sub>2</sub>O)<sub>4</sub>〕とオゾン(O<sub>3</sub>)を用いたプラズマCVD法により第2絶縁膜となる5～10×10<sup>1</sup> dyne/cm<sup>1</sup>の圧縮応力を有する第2酸化シリコン膜を100～300nmの厚みで形成する。

【0023】TEOS〔Si(O<sub>2</sub>H<sub>2</sub>O)<sub>4</sub>〕とオゾン(O<sub>3</sub>)を用いたプラズマCVD法の場合、SiH<sub>4</sub>系ガスをを用いた場合よりも配線段差に対する酸化シリコン膜の被覆性(ステップカバレッジ)が良好であった。そのためSiH<sub>4</sub>系ガスをを用いた場合よりも微細な配線スペースへの空洞を生じない絶縁膜形成が可能であった。

【0024】

【発明の効果】以上説明したように本発明の半導体装置は、電極配線の側面に圧縮応力を有する第2絶縁膜を設け、電極配線の表面を露出させて引張応力を有する第3絶縁膜を設けることにより圧縮応力と引張応力との相互緩衝作用により電極配線のストレスマイグレーションを抑制できるので半導体装置の長期信頼性を改善できる効果がある。

【図面の簡単な説明】

5

6

【図 1】本発明の第 1 の実施例について説明するため (a) ~ (d) に分図して示す工程順断面図である。

【図 2】一従来例について説明するため (a) ~ (d) に分図して示す工程順断面図である。

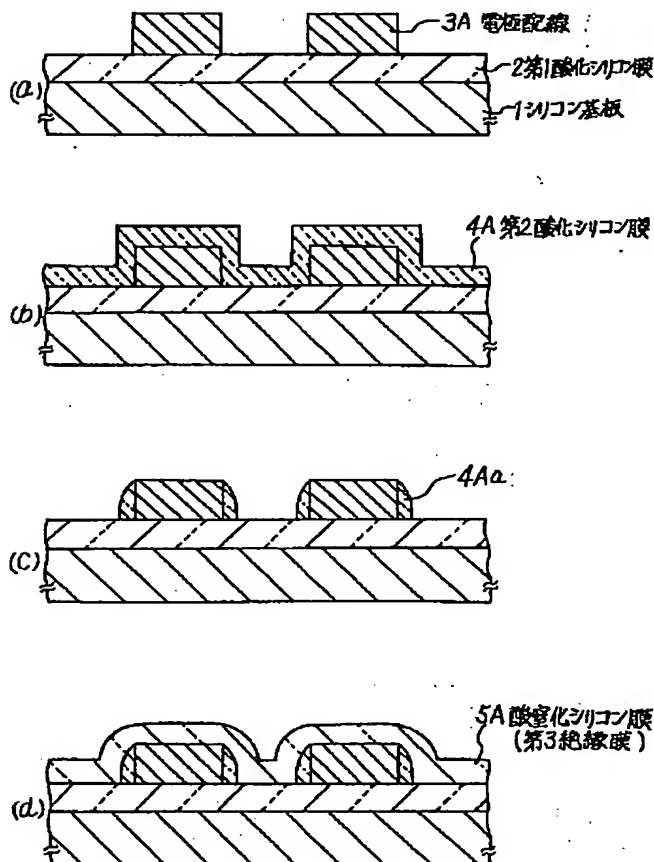
【図 3】他の従来例について説明するため (a) ~ (c) に分図して示す工程順断面図である。

【符号の説明】

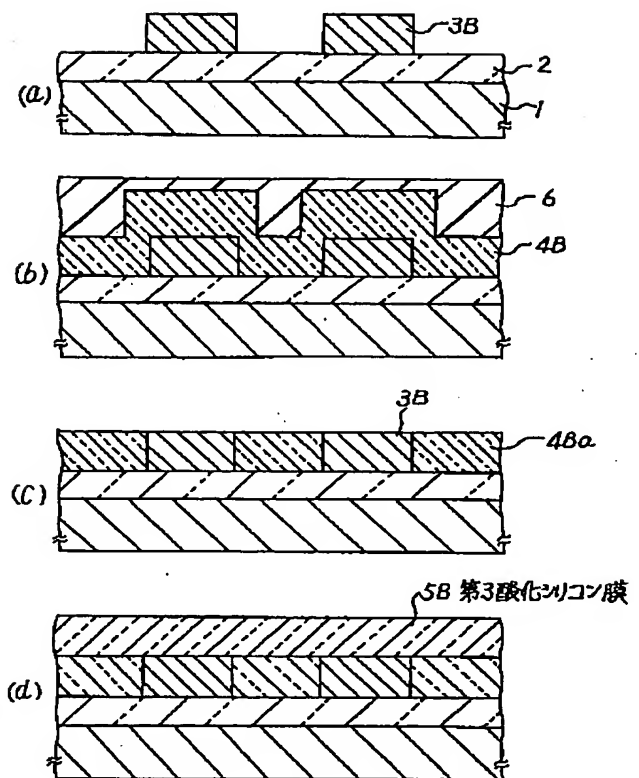
- 1 シリコン基板  
2 第 1 酸化シリコン膜  
3 A, 3 C, 3 D 電極配線  
4 A, 4 C 第 2 酸化シリコン膜

- 4 A a, 4 C a, 4 D a スペース  
5 A, 5 B 酸化シリコン膜  
5 C 第 3 酸化シリコン膜  
5 D PSG 膜  
6 フォトリソグ  
7 拡散層  
8 フィールド酸化膜  
9 コンタクトホール  
10 窒化シリコン膜  
11 ボンディングパッド

【図 1】



【図 2】



【図 3】

